

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067598

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

H01L 21/304

(21)Application number : 04-014280

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.01.1992

(72)Inventor : KISHII SADAHIRO
ARIMOTO YOSHIHIRO
MIYAYASU TORU
KIYOKAWA YOSHIHIRO

(30)Priority

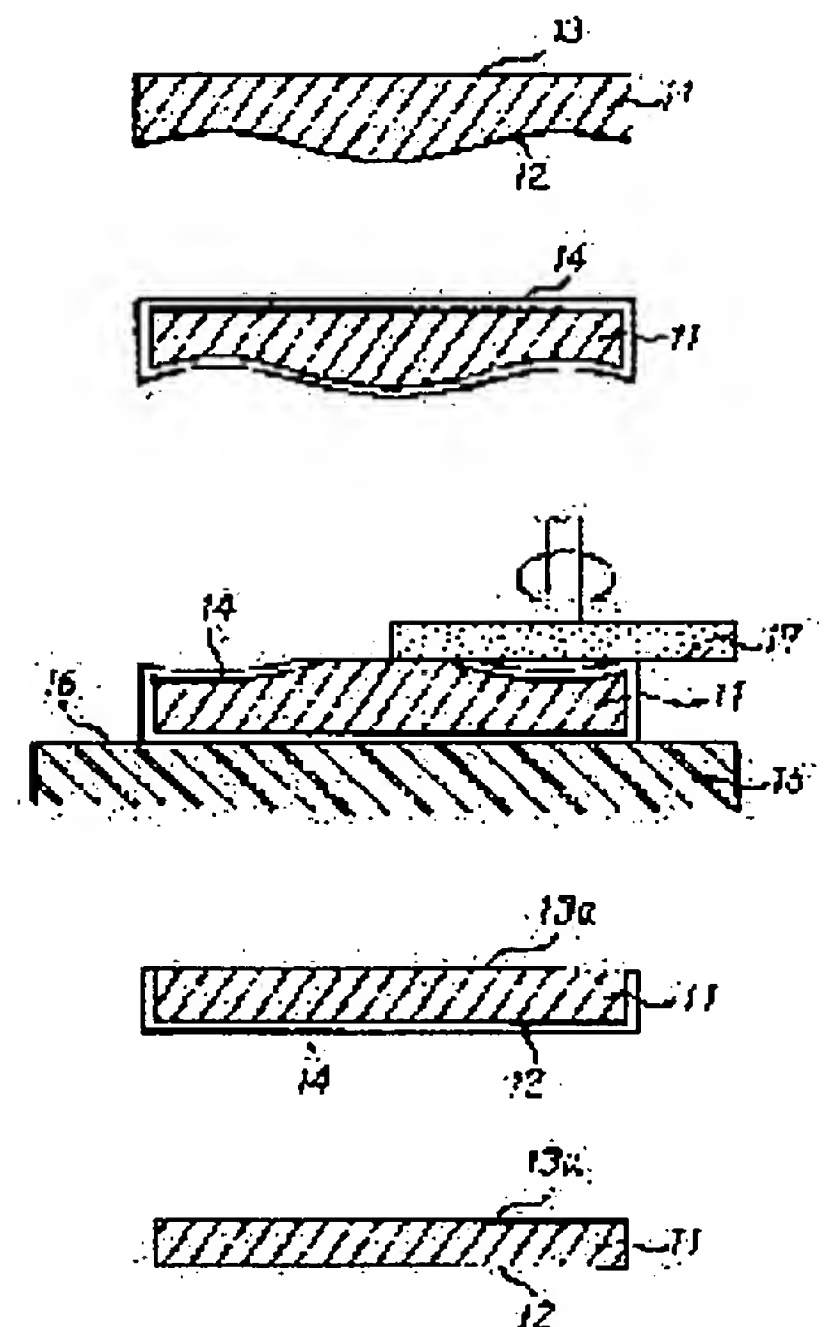
Priority number : 03170302 Priority date : 11.07.1991 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To provide a method of manufacturing semiconductor substrate which can further improve flatness of a single semiconductor wafer or uniformity of thickness of a semiconductor layer having the thickness of several μm or thinner joined with a supporting substrate.

CONSTITUTION: After a wet oxide film 14 is formed in the thickness of about $1\mu\text{m}$ as a protection film on a grinding surface 12 and a rear surface 13 of a silicon wafer 11 of ununiform thickness having TTV of 2 to $4\mu\text{m}$, the polishing surface 12 covered with the wet oxide film 14 is placed through close contactness on the flat surface 16 of a surface table 15 and the rear surface 13 of silicon wafer 11 is ground with a rotatable grind stone 17 to make flat the rear surface 13. Thereafter, the wet oxide film 14 on the grinding surface 12 is removed.



LEGAL STATUS

[Date of request for examination]

12.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3119924

[Date of registration] 13.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-67598

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl.⁵

H 0 1 L 21/304

識別記号

3 2 1 M

庁内整理番号

8831-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 9(全 14 頁)

(21)出願番号 特願平4-14280

(22)出願日 平成4年(1992)1月29日

(31)優先権主張番号 特願平3-170302

(32)優先日 平3(1991)7月11日

(33)優先権主張国 日本(JP)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 岸井 貞浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 有本 由弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 宮保 徹

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 北野 好人

最終頁に続く

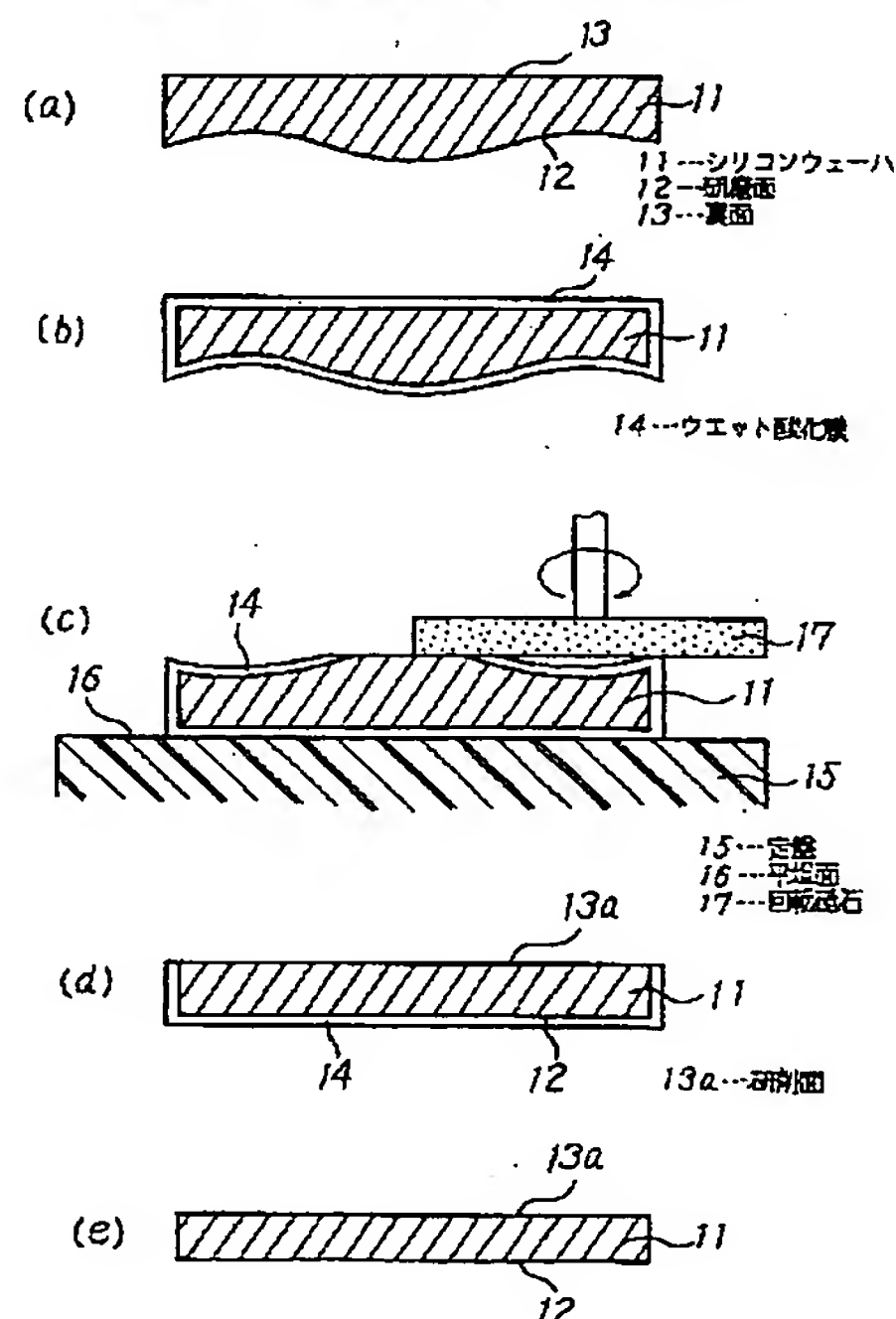
(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【目的】本発明は、単体の半導体ウェーハの平坦性或いは支持基板に接合された厚さ数 μm 乃至それ以下の半導体層の厚さの均一性を更に向上することが可能な半導体基板の製造方法を提供することを目的とする。

【構成】TTVが $2\sim 4\mu\text{m}$ の不均一な厚さのシリコンウェーハ11の研磨面12及び裏面13に、保護膜として厚さ約 $1\mu\text{m}$ のウエット酸化膜14を形成した後、ウエット酸化膜14に覆われた研磨面12を定盤15の平坦面16に密着させ、シリコンウェーハ11の裏面13を回転砥石17により平面研削して、裏面13を平坦化する。その後、研磨面12上のウエット酸化膜14を除去する。

本発明の第1の実施例による半導体基板の製造方法を説明するための工程図



【特許請求の範囲】

【請求項 1】 半導体からなる平板の第 1 の面を鏡面研磨する工程と、
鏡面研磨された前記平板の第 1 の面を覆う保護膜を形成する工程と、
前記保護膜によって覆われた前記平板の第 1 の面を平坦面に密着させた状態で前記平板の第 2 の面を平面研削する工程と、
前記平板の第 1 の面から前記保護膜を除去する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 2】 請求項 1 記載の半導体基板の製造方法において、
前記平板がシリコンからなり、
前記保護膜を形成する工程が、前記平板の第 1 の面をドライ酸化して前記平板の第 1 の面上にドライ酸化膜を形成した後、前記ドライ酸化膜上に気相成長によって気相成長酸化膜を形成する工程であることを特徴とする半導体基板の製造方法。

【請求項 3】 請求項 1 記載の半導体基板の製造方法において、
前記平板がシリコンからなり、
前記保護膜を形成する工程が、前記平板の第 1 の面をウェット酸化して前記平板の第 1 の面上にウェット酸化膜を形成した後、ドライ酸化して前記平板の第 1 の面と前記ウェット酸化膜との間にドライ酸化膜を形成する工程であることを特徴とする半導体基板の製造方法。

【請求項 4】 請求項 2 又は 3 記載の半導体基板の製造方法において、
前記平板の第 1 の面をドライ酸化する温度が、1000℃以上であることを特徴とする半導体基板の製造方法。

【請求項 5】 請求項 3 記載の半導体基板の製造方法において、
前記平板の第 1 の面上に形成された前記ドライ酸化膜が、50nm以上の膜厚を有することを特徴とする半導体基板の製造方法。

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の半導体基板の製造方法において、
前記平板がシリコンからなり、
前記保護膜を除去する工程に引き続いて、少なくとも前記平板の第 2 の面を熱酸化して熱酸化膜を形成する工程と、
前記熱酸化膜をエッチングにより除去する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 7】 支持基板の第 1 の面を鏡面研磨する工程と、
鏡面研磨された前記支持基板の第 1 の面を平坦面に密着させた状態で前記支持基板の第 2 の面を平面研削する工程と、
半導体からなる平板の第 1 の面を鏡面研磨する工程と、
鏡面研磨された前記平板の第 1 の面と前記支持基板の第

1 の面とを密着させた状態で前記平板と支持基板とを接合する工程と、
前記平板と接合された前記支持基板の第 2 の面を平坦面に密着させた状態で前記平板の第 2 の面を平面研削して、前記平板を薄層化する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項 8】 請求項 7 記載の半導体基板の製造方法において、
前記平板と支持基板とを接合する工程が、前記支持基板の第 1 の面上又は前記平板の第 1 の面上に絶縁膜を形成した後、前記絶縁膜を介して前記平板と前記支持基板とを接合する工程であることを特徴とする半導体基板の製造方法。

【請求項 9】 請求項 7 又は 8 記載の半導体基板の製造方法において、
前記平板と接合された前記支持基板の第 2 の面に対して研磨またはエッチングを施す工程を含むことを特徴とする半導体基板の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は半導体基板の製造方法に係り、特に高密度半導体集積回路に必要な高度の平坦性を有する半導体基板の製造方法に関する。半導体集積回路を構成するパターンが微細化するのに伴って、高解像度の露光装置が必要とされる。このため、露光装置の焦点深度が浅くなることが避けられず、その結果、露光を受ける半導体基板の平坦性に対する要求が厳しくなっている。

【0002】 また、半導体装置の耐放射線特性や寄生容量の低減、更には CMOS 構成の半導体装置のラッチアップ防止等に対して、SOI (Silicon on Insulator) 構造の半導体基板が有効であり、将来の高密度・高性能の半導体装置を形成する基板として期待されている。現在のところ、二枚のシリコンウェーハを絶縁層を介して張り合わせた構造の SOI 基板が実用化に最も近いものの一つとして、その開発が進められている。この張り合わせ技術による SOI 基板においては、一方のシリコンウェーハを、数ミクロン程度の厚さに均一に薄層化する必要がある。

【0003】

【従来の技術】 図 9 に、シリコンウェーハの従来の一般的な作製工程を示す。即ち、引き上げ法によってシリコン単結晶のインゴットを成長させ、このインゴットを適当な長さ粗切りした後、その側面を研削して円筒状に加工する。この円筒状のインゴットを薄い円板に切断（スライシング）し、この円板の周辺の面取り加工（ベベリング）を行った後、前記円板の表面を順次ラッピング及びエッチングする。このラッピングとエッチングにより、シリコンウェーハは所望の最終厚さ近くまで薄くする。その後、半導体装置を形成する表面を研磨して鏡

面仕上げを行う。

【0004】上記従来の工程によって直径6インチのシリコンウェーハにおける鏡面仕上げされた厚みの最大値と最小値との差TTV (Total Thickness Variation) は、2~4 μm 程度である。

【0005】

【発明が解決しようとする課題】本発明者は、図9に示す従来の工程におけるラッピングとエッチングの代わりに、砥石を用いる平面研削を適用して平坦性を向上させる方法を提案している（特願平02-129725、平成2年5月18日付出版願及び特願平02-23775、平成2年9月7日付出版願）。この方法により、直径6インチのシリコンウェーハにおけるTTVを1 μm 程度に向上することが可能である。

【0006】しかし、平面研削後に行われる鏡面仕上げのための研磨により、平坦度が劣化することが避けられなかった。この平坦度の劣化の影響は、張り合わせ技術に基づくSOI基板において、より拡大して現れる。これは、SOIウェーハでは、SOI層（酸化膜上のシリコン層）の厚み分布がデバイス特性に直接影響を与えるためである。即ち、SOI層においては、SOIウェーハの支持側ウェーハ（デバイスを形成しない側）の厚み分布がそのままSOI層の厚み分布となるため、例えばSOI層の厚みが2 μm 程度であるのに対して、支持側ウェーハのTTVが2 μm あると、SOIウェーハを作製したときにSOI層のある領域とない領域とができてしまう。

【0007】従って、所望の厚さに均一に薄層化された能動層を得ることが要求される場合、TTVの更に小さいウェーハを得ることが課題となっている。そこで本発明は、単体の半導体ウェーハの平坦性或いは支持基板に接合された厚さ数 μm 乃至それ以下の半導体層の厚さの均一性を更に向上することが可能な半導体基板の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的は、半導体からなる平板の第1の面を鏡面研磨する工程と、鏡面研磨された前記平板の第1の面を覆う保護膜を形成する工程と、前記保護膜によって覆われた前記平板の第1の面を平坦面に密着させた状態で前記平板の第2の面を平面研削する工程と、前記平板の第1の面から前記保護膜を除去する工程とを含むことを特徴とする半導体基板の製造方法によって達成される。

【0009】また、上記の半導体基板の製造方法において、前記平板がシリコンからなり、前記保護膜を形成する工程が、前記平板の第1の面をドライ酸化して前記平板の第1の面上にドライ酸化膜を形成した後、前記ドライ酸化膜上に気相成長によって気相成長酸化膜を形成する工程であることを特徴とする半導体基板の製造方法によって達成される。

【0010】また、上記の半導体基板の製造方法において、前記平板がシリコンからなり、前記保護膜を形成する工程が、前記平板の第1の面をウェット酸化して前記平板の第1の面上にウェット酸化膜を形成した後、ドライ酸化して前記平板の第1の面と前記ウェット酸化膜との間にドライ酸化膜を形成する工程であることを特徴とする半導体基板の製造方法によって達成される。

【0011】また、上記の半導体基板の製造方法において、前記平板の第1の面をドライ酸化する温度が、1000°C以上であることを特徴とする半導体基板の製造方法によって達成される。また、上記の半導体基板の製造方法において、前記平板の第1の面上に形成された前記ドライ酸化膜が、50nm以上の膜厚を有することを特徴とする半導体基板の製造方法によって達成される。

【0012】また、上記の半導体基板の製造方法において、前記平板がシリコンからなり、前記保護膜を除去する工程に引き続いて、少なくとも前記平板の第2の面を熱酸化して熱酸化膜を形成する工程と、前記熱酸化膜をエッチングにより除去する工程とを含むことを特徴とする半導体基板の製造方法によって達成される。更に、上記課題は、支持基板の第1の面を鏡面研磨する工程と、鏡面研磨された前記支持基板の第1の面を平坦面に密着させた状態で前記支持基板の第2の面を平面研削する工程と、半導体からなる平板の第1の面を鏡面研磨する工程と、鏡面研磨された前記平板の第1の面と前記支持基板の第1の面とを密着させた状態で前記平板と支持基板とを接合する工程と、前記平板と接合された前記支持基板の第2の面を平坦面に密着させた状態で前記平板の第2の面を平面研削して、前記平板を薄層化する工程とを含むことを特徴とする半導体基板の製造方法によって達成される。

【0013】また、上記の半導体基板の製造方法において、前記平板と支持基板とを接合する工程が、前記支持基板の第1の面上又は前記平板の第1の面上に絶縁膜を形成した後、前記絶縁膜を介して前記平板と前記支持基板とを接合する工程であることを特徴とする半導体基板の製造方法によって達成される。また、上記の半導体基板の製造方法において、前記平板と接合された前記支持基板の第2の面に対して研磨またはエッチングを施す工程を含むことを特徴とする半導体基板の製造方法によって達成される。

【0014】

【作用】半導体からなる平板の鏡面研磨仕上げされた第1の面を保護膜によって覆い、この第1の面を定盤のような平坦面に密着させた状態で平板の第2の面を平面研削することにより、研磨により生じた非平坦性を消去し、研磨面と平面研削面間の距離、即ち平板の厚さについて高い均一性を得ることができる。そして保護膜を除去すれば、半導体素子を形成することが可能な研磨面が表出する。

【0015】また、平板がシリコンからなる場合において、平板の第1の面側にドライ酸化膜を形成し、このドライ酸化膜と気相成長酸化膜又はウェット酸化膜とを組み合わせることで保護膜を形成することにより、この保護膜を除去して表出する研磨面の表面における凹凸を小さくすることができるため、この研磨面に形成する半導体素子の特性を向上させることができる。

【0016】また、平板の第2の面を熱酸化した後、この酸化膜をエッチング除去することにより、平面研削によって平板の第2の面に生じた結晶欠陥や汚染物質を除去することができる。更に、上記のようにして厚さを均一化した支持基板の研磨面と鏡面研磨した平板の第1の面とを絶縁層を介して接合した後、平板の第2の面を平面研削して薄層化することにより、張り合わせSOI基板において要求される薄層化された平板の厚さについての高い均一性を得ることができる。

【0017】また、平板と接合された支持基板の第2の面に対して研磨またはエッチングを施すことにより、平面研削によって支持基板の第2の面に生じた結晶欠陥や汚染物質を除去することができる。

【0018】

【実施例】以下、本発明を図示する実施例に基づいて具体的に説明する。図1は、本発明の第1の実施例による半導体基板の製造方法を説明するための工程図である。図1(a)に、上記図9に示す従来の工程によって作製された直径6インチのシリコンウェーハ11を示す。このシリコンウェーハ11は鏡面研磨された研磨面12と裏面13とをもち、その平均厚さは通常の厚さより約30 μ m大きい約655 μ mであり、図示のような厚さの不均一性を有している。但し、研磨面12に対する裏面13が平坦であるように模式的に描かれているため、厚さの不均一性は、研磨面12に集約して現れている。このときの研磨面12のTTVは、前記のように2~4 μ mである。

【0019】このシリコンウェーハ11の少なくとも研磨面12上に、保護膜を形成する。この保護膜の形成は、例えば水蒸気を含む雰囲気中において温度1100℃で4時間シリコンウェーハ11を熱処理し、その表面に熱酸化膜を形成する周知の方法を用いて行えばよい。この場合には、図1(b)に示すように、シリコンウェーハ11の研磨面12及び裏面13を含む全面に、厚さ約1 μ mのウェット酸化膜14が生成される。なお、熱酸化法を用いる代わりに、周知のCVD（化学気相成長）法を用いて研磨面12上にCVD酸化膜を成長させることにより、保護膜を形成してもよい。

【0020】次いで、図1(c)に示すように、ウェット酸化膜14によって覆われたシリコンウェーハ11の研磨面12を定盤15の平坦面16に密着させる。この密着は、定盤15に設けられている図示しない貫通孔を通して真空吸着させる周知の方法によって行えばよい。

これにより、研磨面12が平坦となり、裏面13に非平坦性が現れた状態となる。なお、研磨面12はウェット酸化膜14によって覆われているため、定盤15との接触による欠陥の発生が防止される。

【0021】続いて、シリコンウェーハ11の裏面13を、回転砥石17により平面研削する。この平面研削は、例えば粒度が500番の回転砥石により約25 μ m研削した後、粒度が2000番の回転砥石により約5 μ m研削すると効率的である。このようにして、図1

(d)に示すように、シリコンウェーハ11の裏面13が平坦化されると共に、平坦化された研削面13aが表出される。

【0022】次いで、NH₄OH（水酸化アンモニウム）とH₂O₂（過酸化水素）との混合水溶液中にシリコンウェーハ11を約10分間浸漬して洗浄を行った後、シリコンウェーハ11を10%HF（弗酸）水溶液中に浸漬して、ウェット酸化膜14を除去する。これにより、図1(e)に示すように、シリコンウェーハ11の研磨面12が表出される。

【0023】次に、本発明の第2の実施例による半導体基板の製造方法を、図2に示す工程図を用いて説明する。なお、図1に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図2(a)に、上記第1の実施例によって作製された図1(e)の状態のシリコンウェーハ11を示す。このシリコンウェーハ11を、例えば水蒸気を含む雰囲気中において温度1100℃で4時間熱処理すると、この熱酸化により、図2(b)に示すように、シリコンウェーハ11の研磨面12及び研削面13aが約0.44 μ mの深さまで酸化され、厚さ約1 μ mのウェット酸化膜18が生成される。

【0024】次いで、シリコンウェーハ11を10%HF水溶液中に浸漬して、図2(c)に示すように、ウェット酸化膜18を除去する。これにより、平面研削によってシリコンウェーハ11の研削面13aに生じた結晶欠陥及び汚染物質を除去することができる。このような欠陥や汚染物質が生じる深さは、平面研削に用いる砥石の粒度その他の研削条件によって異なるが、殆どの場合の1 μ m以下であり、汚染物質の方がより浅い層に存在する。従って、シリコンウェーハ11の裏面13の熱酸化によるウェット酸化膜18の生成とその除去により、汚染物質はほぼ完全に除去される。なお、欠陥はゲッタリング中心として機能するので、必ずしも全てを除去する必要はない。

【0025】次に、上記第1及び第2の実施例において得られたシリコンウェーハ11の平坦性及び結晶品質を調べた。結晶品質評価項目としては、OSF（酸化誘起積層欠陥）密度、研磨面12上に形成した酸化膜に電圧を印加したときに発生する耐圧欠陥密度、及び不純物濃度である。OSF密度は、表面の詳細な欠陥情報を与え

る。耐圧欠陥密度は、欠陥による表面の形状的不均一及び汚染に起因する絶縁耐圧劣化を表し、一種の欠陥情報を与える。耐圧限界が8MV/cm以下を欠陥と判定した。

【0026】不純物濃度の測定には、気相分解法を用いた原子吸光分析を適用した。この方法の概要は次の通りである。HNO₃（硝酸）とHF（弗化水素）の蒸気にシリコンウェーハを曝す。表面で液化したHNO₃とHFにより、ウェーハが薄くエッチングされる。この液に含まれている不純物を原子吸光法で定量する。HNO₃とHFを蒸気にすることにより純度が向上し、且つ、少量の液によりシリコンウェーハがエッチングされるため

に、検出感度が高くなる特徴がある。

【0027】注目した不純物元素はFe（鉄）とCa（カルシウム）である。Feは、半導体装置の特性を劣化させる主要な不純物である。またCaは、平面研削に用いた砥石に、C（炭素C）、O（酸素）、H（水素）に次いで多く含まれている成分であるため、平面研削による汚染物質の標識として適当と考えた。上記の調査結果を、図9の工程で作製された従来のシリコンウェーハについてのそれと比較して表1に示す。

【0028】

【表1】

		第1の実施例 の場合	第2の実施例 の場合	従来品
平坦性 (TTV: μm) 平均値 $\pm\sigma$		0.6 ± 0.2	0.7 ± 0.3	2.2 ± 0.8
OSF密度 (個/cm ²)	表面	15	8	3
	裏面	>1000	70	—*
耐圧欠陥密度 (個/cm ²) 絶縁層厚 20nm		5.2	3.3	2
不純物濃度 (原子/cm ²)	Fe	5×10^{11}	1×10^{11}	1×10^{11}
	Ca	5×10^9	$< 1 \times 10^9$	$< 1 \times 10^9$

【0029】ここで、*は鏡面研磨されていないため測定不可能であることを示す。この表1から明らかなように、平坦性は第1の実施例の場合が最も良く、欠陥や不純物除去のための酸化及びエッチングを行った第2の実施例の場合にはやや劣化しているが、1 μm 以下のTTV値を有しており、従来品に比べると著しく向上している。

【0030】また、OSF密度及び耐圧欠陥密度は、第1及び第2の実施例の場合とも、従来品より増加しているが、実用上問題ない値である。更に、不純物濃度については、第1の実施例の場合は従来品より高い。しかし、第2の実施例の場合に示されるように、欠陥除去と同時に除去されてしまうことが分かる。

【0031】次に、本発明の第3の実施例による半導体基板の製造方法を、図3に示す工程図を用いて説明する。なお、図1に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図3(a)に、図

1(a)に示すものと同じ、鏡面研磨された研磨面12と裏面13とをもつ平均厚さ約655 μm のシリコンウェーハ11を示す。このシリコンウェーハ11を、ドライO₂（酸素）雰囲気中において温度1100℃で15分間熱処理し、シリコンウェーハ11表面を熱酸化する。このドライ酸化により、シリコンウェーハ11の研磨面12及び裏面13を含む全面に厚さ50nmのドライ酸化膜19が形成される。

【0032】続いて、CVD法を用いて、各ガス流量がSiH₄（シラン）=2.0l/min、O₂=1.2l/min、N₂（窒素）=13.8l/min、ウェーハ温度400℃、堆積時間27分の堆積条件で、シリコンウェーハ11の研磨面12のドライ酸化膜19上に、厚さ約1 μm のCVD酸化膜20を成長させる。これにより、図3(b)に示すように、シリコンウェーハ11の研磨面12上に、ドライ酸化膜19とCVD酸化膜20からなる保護膜が形成される。

【0033】次いで、上記図1(c)～(d)に示す工程と同様にして、ドライ酸化膜19及びCVD酸化膜20によって覆われたシリコンウェーハ11の研磨面12を定盤の平坦面に密着させた後、シリコンウェーハ11の裏面13を、例えば粒度が800番の回転砥石によって約 $10\mu\text{m}$ 研削し、更に粒度が2000番の回転砥石により約 $5\mu\text{m}$ 研削する。この平面研削により、図3

(c)に示すように、シリコンウェーハ11の裏面13を平坦化し、研削面13aを表出させる。

【0034】次いで、 NH_4OH と H_2O_2 との混合水溶液によるシリコンウェーハ11の洗浄を行った後、10%HF水溶液によってCVD酸化膜20及びドライ酸化膜19を除去する。こうして、図3(d)に示すように、鏡面研磨された研磨面12と平面研削された研削面13aとの距離が一定している均一な厚さのシリコンウェーハ11を得ることができる。

【0035】この実施例において、保護膜として、ドライ酸化によりシリコンウェーハ11の研磨面12にドライ酸化膜19を形成したのは、ドライ酸化によって形成される Si/SiO_2 界面の凹凸が大きくなならない、特に温度 900°C 以上でのドライ酸化によれば凹凸が減少することが知られているからである。従って、ドライ酸化膜19を除去した後のシリコンウェーハ11の研磨面12表面における凹凸は小さくなる。なお、このドライ酸化膜19と、この上に形成したCVD酸化膜20との界面の状態が良好でなくとも、最終的にはCVD酸化膜20及びドライ酸化膜19の両者とも除去されるので問題ない。

【0036】また、厚さ 50nm のドライ酸化膜19に厚さ約 $1\mu\text{m}$ のCVD酸化膜20を組み合わせる保護膜を構成したのは、次のような理由による。シリコンウェーハ11の研磨面12を定盤15の平坦面16に密着させる際の欠陥の発生を防止するために、保護膜全体としては $1\mu\text{m}$ 程度の厚さが必要である。しかし、図4のウエット酸化とドライ酸化の酸化速度を示すグラフ(Helmut F. Wolf, International Series of Monographs on Semiconductors, Pergamon Press, p. 549参照)から明らかなように、ドライ酸化の酸化膜形成速度は極めて小さいため、 $1\mu\text{m}$ の厚さを得るためには温度 1200°C で酸化しても1000分かかってしまう。このため、ドライ酸化によって保護膜全体を形成するのはコストの面で適当でない。従って、このドライ酸化膜19に成長速度の大きいCVD酸化膜20を組み合わせることにより、保護膜として必要な厚さを確保することとした。

【0037】次に、本発明の第4の実施例による半導体基板の製造方法を、図5に示す工程図を用いて説明する。なお、図3に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図5(a)に、図3(a)に示すものと同じ、鏡面研磨された研磨面12と裏面13とをもつ平均厚さ約 $655\mu\text{m}$ のシリコンウ

ェーハ11を示す。このシリコンウェーハ11を、例えば水蒸気を含む雰囲気中において温度 1100°C で250分間熱処理すると、シリコンウェーハ11の研磨面12及び裏面13がウエット酸化され、厚さ約 $1\mu\text{m}$ のウエット酸化膜21が生成される。このときの酸化速度は、図4のウエット酸化とドライ酸化の酸化速度を示すグラフから明らかなように、ドライ酸化と比較して5～10倍も速いため、比較的短時間で所望の膜厚を得ることができる。

【0038】続いて、このウエット酸化膜21が形成されたシリコンウェーハ11を、ドライ O_2 雰囲気中において温度 1000°C で25分間熱処理する。このドライ酸化により、シリコンウェーハ11とウエット酸化膜21との界面に、厚さ 40nm のドライ酸化膜22が形成される。これにより、図5(b)に示すように、シリコンウェーハ11の研磨面12上に、ドライ酸化膜22とウエット酸化膜21からなる保護膜が形成される。

【0039】次いで、ドライ酸化膜22及びウエット酸化膜21によって覆われたシリコンウェーハ11の研磨面12を定盤の平坦面に密着させた後、シリコンウェーハ11の裏面13を平面研削することにより、図5

(c)に示すように、シリコンウェーハ11の裏面13を平坦化し、研削面13aを表出させる。次いで、 NH_4OH と H_2O_2 との混合水溶液によるシリコンウェーハ11の洗浄を行った後、10%HF水溶液によってウエット酸化膜21及びドライ酸化膜22を除去する。こうして、図5(d)に示すように、鏡面研磨された研磨面12と平面研削された裏面13との距離が一定している均一な厚さのシリコンウェーハ11を得ることができる。

【0040】この実施例において、ドライ酸化膜22とウエット酸化膜21を組み合わせる保護膜を構成したのは、次のような理由による。シリコンウェーハ11のウエット酸化によりウエット酸化膜21を形成した後、続いてドライ酸化をすることにより、図6(a)、(b)の Si/SiO_2 界面の変化を表す模式図に示すように、最初のウエット酸化によって形成されるシリコンウェーハ11とウエット酸化膜21との Si/SiO_2 界面に凹凸が形成されるが、続いて行われたドライ酸化によってシリコンウェーハ11とウエット酸化膜21との間にドライ酸化膜22が形成され、シリコンウェーハ11とドライ酸化膜22との Si/SiO_2 界面が形成されるため、 Si/SiO_2 界面の凹凸が減少する。

【0041】ウエット酸化によって生じた Si/SiO_2 界面の凹凸の振幅は 5nm ぐらいであることを実験により分かった。従って、この振幅の10倍近い厚さのドライ酸化膜を形成すると、ウエット酸化によって生じた凹凸は大幅に減少すると考えられる。従って、この実施例においては厚さ 40nm のドライ酸化膜22を形成することとした。

【0042】また、ドライ酸化の酸化温度を上昇させると、更にSi/SiO₂ 界面の凹凸が減少することが知られている。従って、ドライ酸化の酸化温度を1000℃から更に高温にすることにより、更に凹凸の小さいSi/SiO₂ 界面を得ることができる。こうして、この実施例においても、上記第3の実施例と同様に、ウェット酸化膜21及びドライ酸化膜22を除去した後のシリコンウェーハ11の研磨面12表面における凹凸を同様に小さくすることができる。

【0043】次に、シリコンウェーハ11の研磨面12における凹凸が研磨面12に形成する半導体装置の特性に及ぼす影響を調べた。具体的には、上記第1及び第4の実施例において得られたシリコンウェーハ11の研磨面12上に、所定の厚さの酸化膜を形成し、この酸化膜耐圧を測定して両者の比較を行った。その結果を図7に示す。

【0044】この図7のグラフから明らかなように、シリコンウェーハ11の研磨面12を覆う保護膜としてウェット酸化膜14を用いた第1の実施例の場合においては、Bモードの耐圧破壊が生じているのに対し、ウェット酸化に続いてドライ酸化を行い、シリコンウェーハ11の研磨面12上にドライ酸化膜22とウェット酸化膜21とを組み合わせる保護膜を形成した第2の実施例の場合は、Bモードの耐圧強度の密度が著しく減少しており、高電界強度での真性破壊に集中している。このような第2の実施例の場合における酸化膜耐圧特性の向上は、シリコンウェーハ11の研磨面12表面の凹凸の減少に起因するものである。

【0045】次に、本発明の第5の実施例による半導体基板の製造方法を、図8に示す工程図を用いて説明する。なお、図1又は図2に示す半導体基板と同一の構成要素には同一の符号を付して説明を省略する。図8

(a)に示すように、第1又は第2の実施例によって作製されたシリコンウェーハ11を支持基板として用意すると共に、図9に示す従来の工程によって作製されたシリコンウェーハ31を用意する。シリコンウェーハ11は、鏡面研磨された研磨面12と平面研削された研削面13aとの距離が一定している均一な厚さを有し、他方シリコンウェーハ31は、鏡面研磨された研磨面32と裏面33とをもち、その厚さは不均一性を有している。

【0046】そして図8(b)に示すように、鏡面研磨したシリコンウェーハ11の研磨面12と同じく鏡面研磨したシリコンウェーハ31の研磨面32とを互いに向き合うようにして重ね合わせる。このとき、シリコンウェーハ11の研磨面12上及びシリコンウェーハ31の研磨面32上のいずれか若しくは双方に、絶縁膜を予め形成しておく。

【0047】図8(a)には、この絶縁膜として、シリコンウェーハ31の全面に厚さ約1μmのウェット酸化膜34を形成した場合を示してある。このウェット酸化

膜34の形成は、例えば水蒸気を含む雰囲気中において温度1100℃で4時間シリコンウェーハ31を熱処理し、その表面を熱酸化することによって行われる。従ってこの場合には、シリコンウェーハ31の研磨面32及び裏面33を含む全面にウェット酸化膜34が生成される。なお、熱酸化法を用いる代わりに周知のCVD法を用いて、シリコンウェーハ11の研磨面12上又はシリコンウェーハ31の研磨面32上にCVD酸化膜を成長させることにより、絶縁膜を形成してもよい。

【0048】図9の工程によって作製されたシリコンウェーハ31には厚さの不均一性があるため、図8(b)に示すように、ウェット酸化膜34を介してシリコンウェーハ11と重ね合わされた状態のシリコンウェーハ31の裏面33には非平坦性が現れているが、後に研削するので問題はない。なお、支持基板としてのシリコンウェーハ11の代わりに、石英ガラス等の絶縁物からなる基板を、第1の実施例と同様にして表面を鏡面研磨し裏面を平面研削して用いてもよく、この場合には、絶縁膜の形成を省略してもよい。

【0049】このようにウェット酸化膜34を介して互いに重ね合わされたシリコンウェーハ11とシリコンウェーハ31は、例えば窒素雰囲気中において温度1000℃で30分間熱処理することにより、強固に接合する。次いで、図1(c)に示す工程と同様にして、シリコンウェーハ11の裏面13を定盤の平坦面に密着させて固定した後、シリコンウェーハ31の裏面33を回転砥石によって平面研削して、約3μmまで薄層化する。これにより、シリコンウェーハ31は厚さ約3μmのシリコン層31aとなり、研削面33aが表出される。図8(c)はこの直後の状態を示す。この平面研削は、例えば粒度が500番の回転砥石により約600μm研削した後、粒度が2000番の回転砥石により約20μm研削すると効率的である。

【0050】このようにして薄層化されたシリコン層31aの露出した研削面33aに対して、図8(d)に示すように、更に通常の化学的・機会的研磨により鏡面仕上げを施す。このときの最終厚さは2μmである。これにより、シリコン層31aの研削面33aは、鏡面仕上げを施された研磨面33bとなる。更に、シリコンウェーハ11の研削面13aを研磨又はエッチングして結晶欠陥を除去する。

【0051】このようにして、支持基板としてのシリコンウェーハ11上に厚さ約1μmのウェット酸化膜34を介して厚さ2μmのシリコン層31aが形成されたSOI構造の半導体基板、即ちSOI基板が完成する。このSOI基板における研磨面のTTVは1.0±0.2μmであり、従来の張り合わせ構造のSOI基板のTTVが2.1±1.0μmであるのに比べると、著しい平坦面、即ち層厚の均一性を得ることができる。

【0052】

【発明の効果】以上のように本発明によれば、半導体装置を形成する表面を鏡面研磨仕上げした後に裏面を平面研削するため、平板の平坦性を著しく向上させ、TTVを小さくすることができる。平面研削時に定盤等との接触によって研磨面に欠陥が発生する可能性がある問題は、研磨面を予め保護膜で覆っておくことにより防止される。また、研磨面に接してドライ酸化膜を形成し、このドライ酸化膜と気相成長酸化膜又はウェット酸化膜とを組み合わせることで保護膜を形成することにより、保護膜を除去して表出する研磨面の表面における凹凸を小さくすることができる。更に、平面研削により裏面に発生する結晶欠陥及び汚染は、その裏面の熱酸化及び熱酸化膜のエッチングにより実用上支障のないレベルまで除去される。

【0053】その結果、将来の高密度・高性能半導体集積回路の製造に適用可能な単一又はSOI構造の半導体基板を提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体基板の製造方法を説明するための工程図である。

【図2】本発明の第2の実施例による半導体基板の製造方法を説明するための工程図である。

【図3】本発明の第3の実施例による半導体基板の製造方法を説明するための工程図である。

【図4】ウェット酸化とドライ酸化の酸化速度を示すグラフである。

ラフである。

【図5】本発明の第4の実施例による半導体基板の製造方法を説明するための工程図である。

【図6】Si/SiO₂ 界面の変化を表す模式図である。

【図7】本発明の第1及び第4の実施例によるシリコンウェーハの研磨面上に形成した酸化膜の耐压特性を示すグラフである。

【図8】本発明の第5の実施例による半導体基板の製造方法を説明するための工程図である。

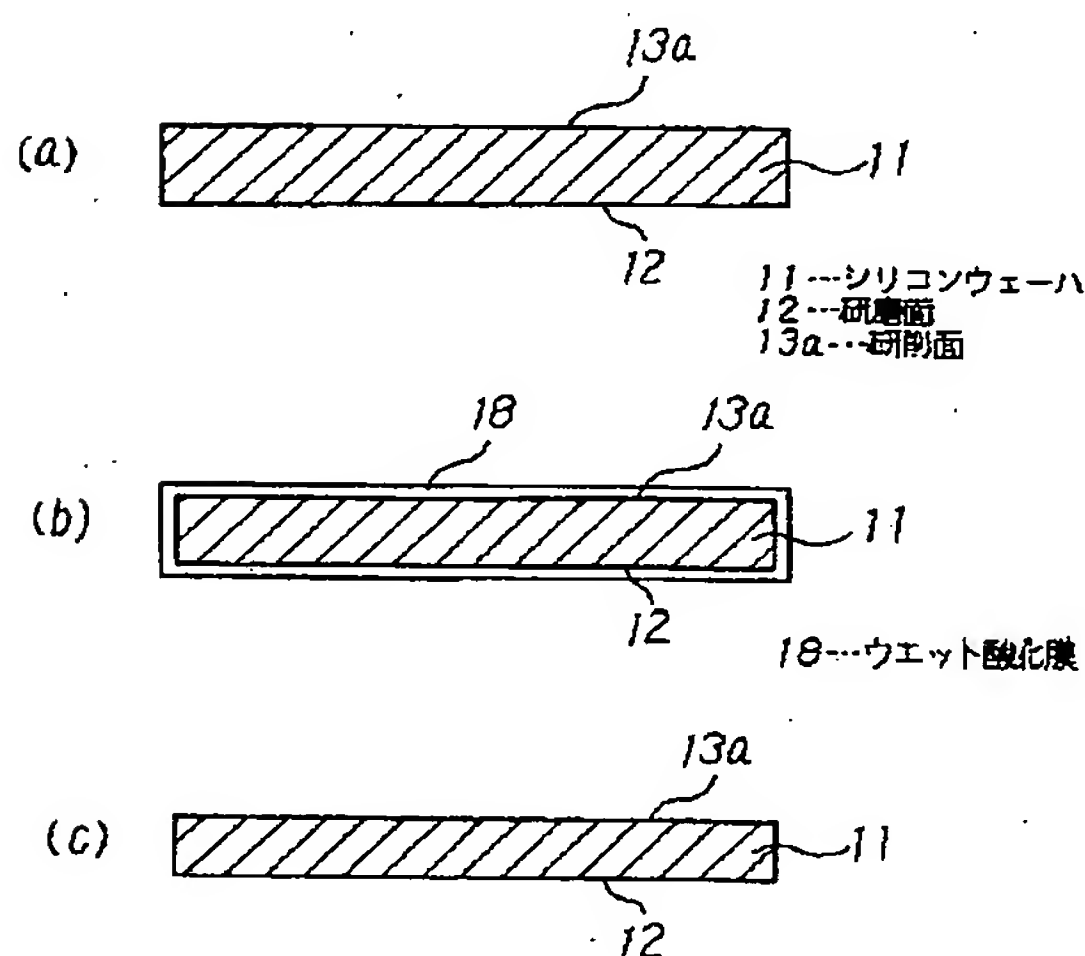
【図9】従来のシリコンウェーハを作製する工程を説明する図である。

【符号の説明】

- 11、31…シリコンウェーハ
- 12、32、33b…研磨面
- 13、33…裏面
- 13a、33a…研削面
- 14、18、21、34…ウェット酸化膜
- 15…定盤
- 16…平坦面
- 17…回転砥石
- 19、22…ドライ酸化膜
- 20…CVD酸化膜
- 31a…シリコン層

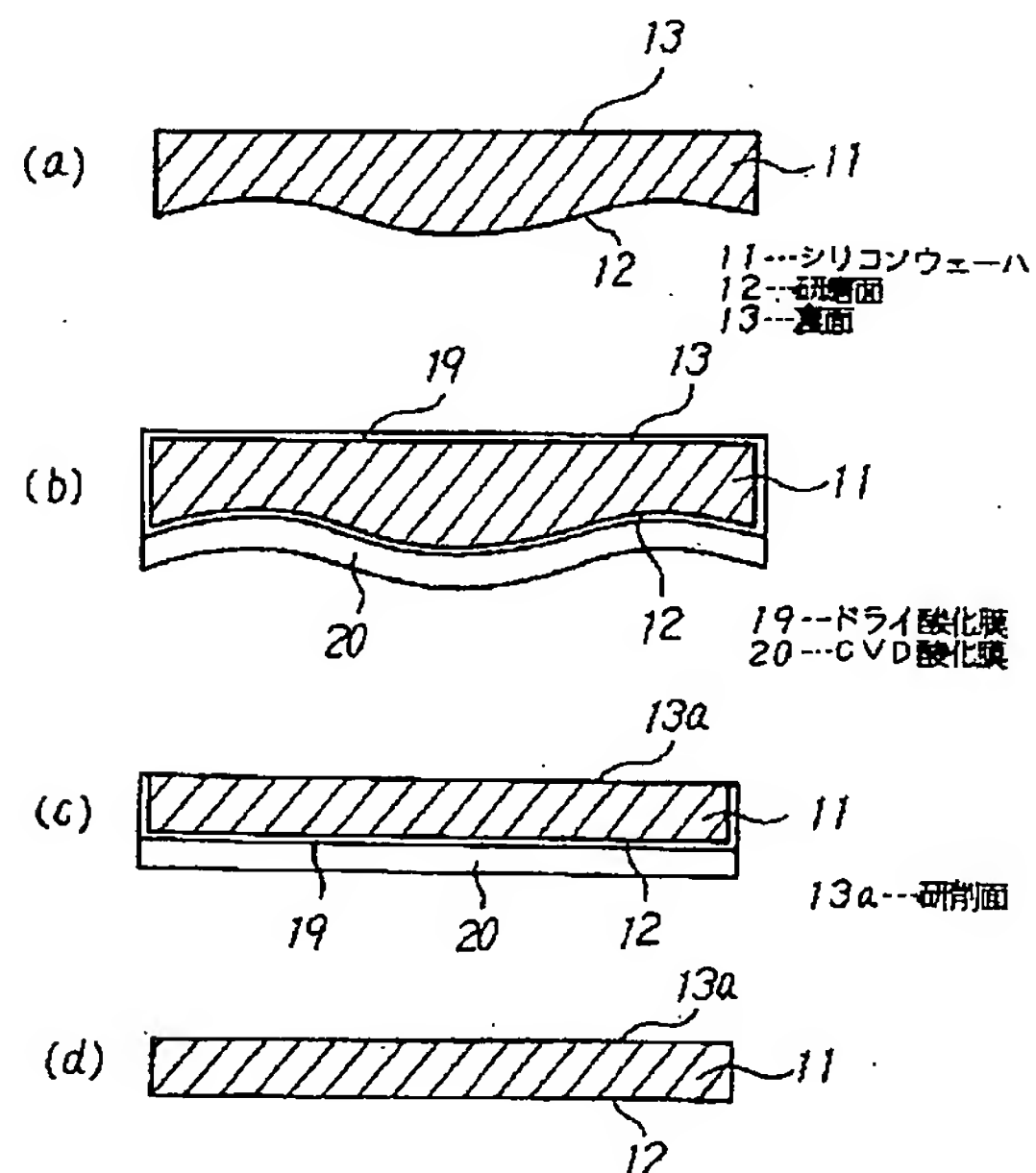
【図2】

本発明の第2の実施例による半導体基板の製造方法を説明するための工程図



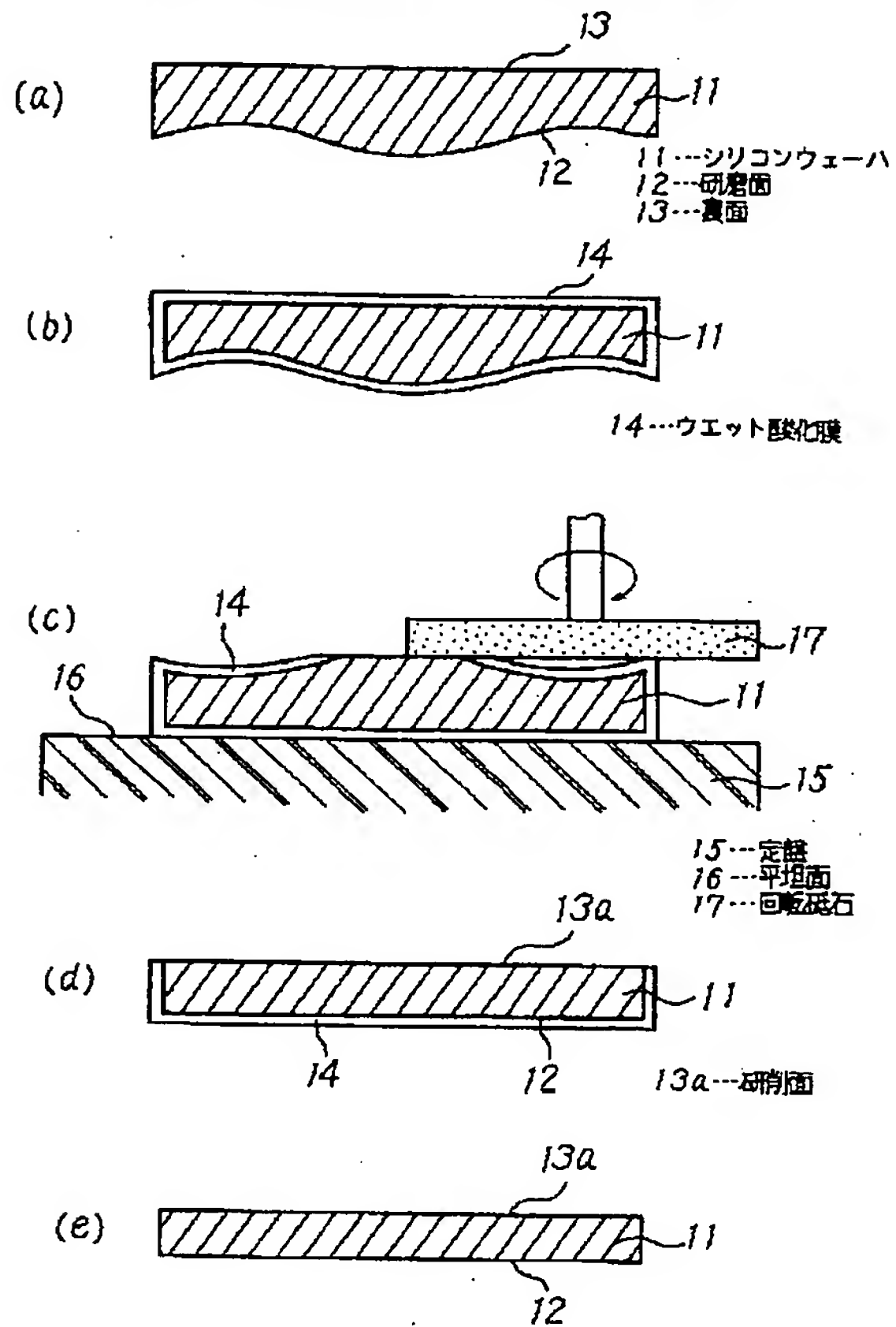
【図3】

本発明の第3の実施例による半導体基板の製造方法を説明するための工程図



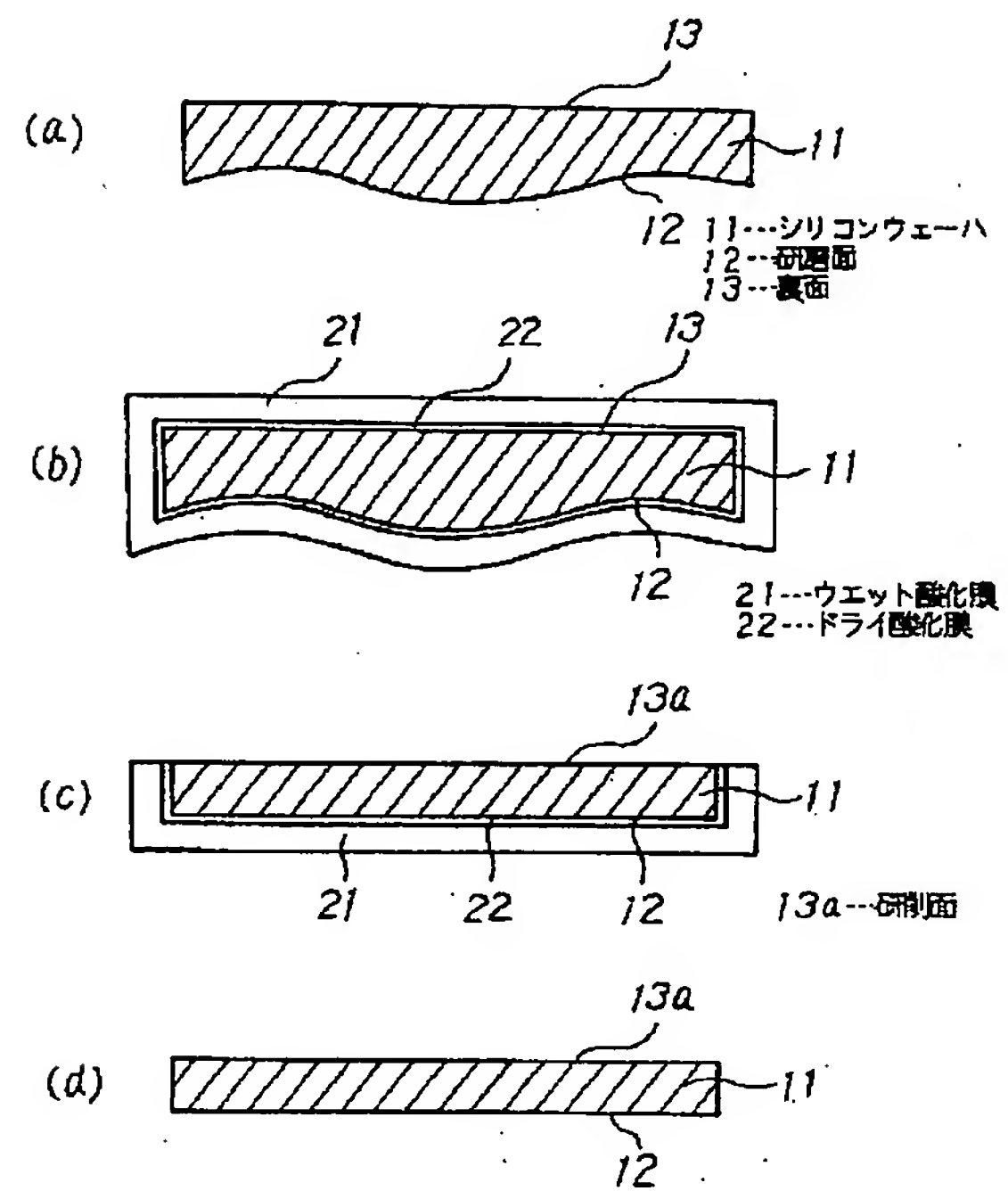
【図 1】

本発明の第 1 の実施例による半導体基板の製造方法を説明するための工程図



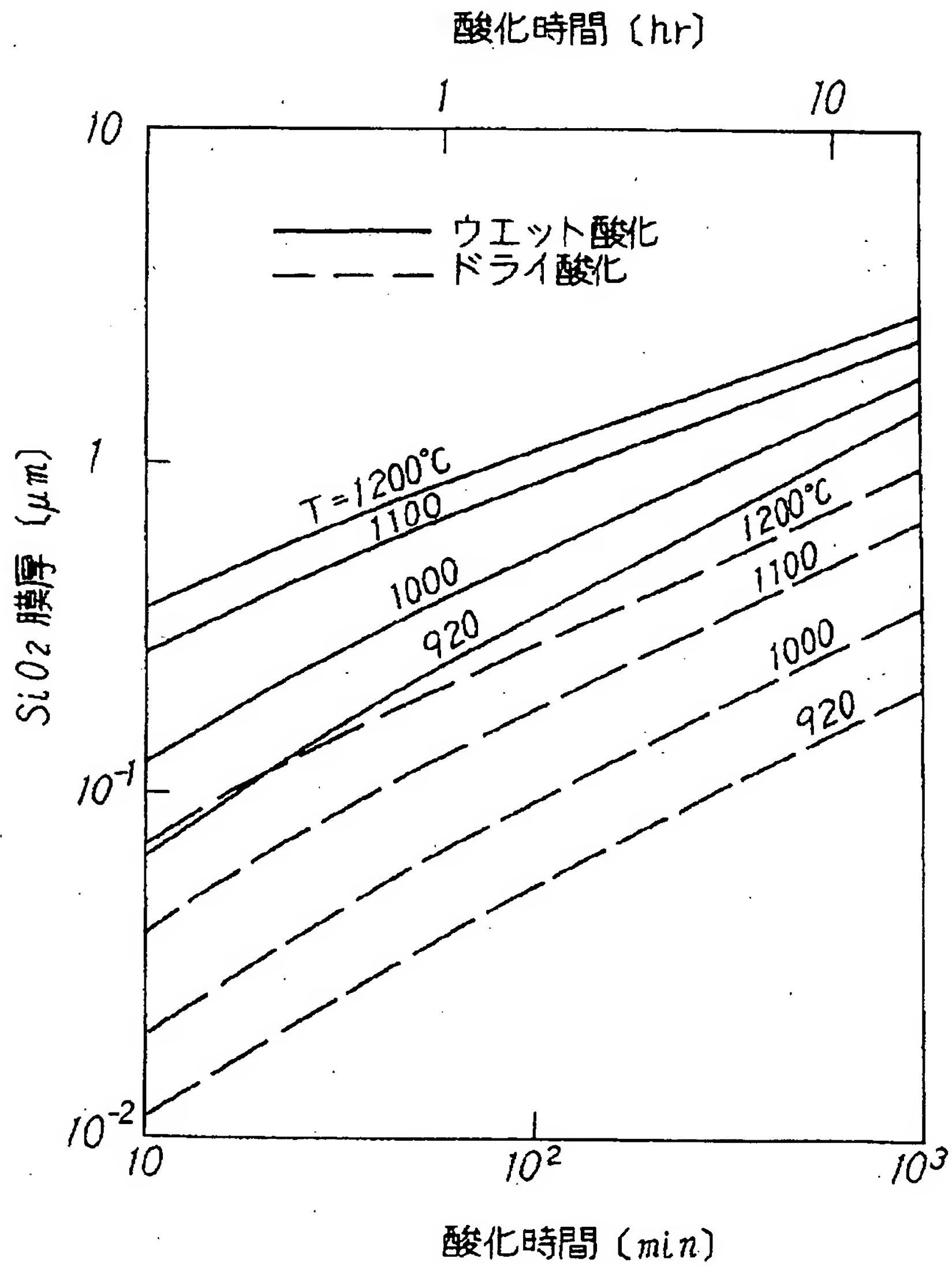
【図 5】

本発明の第 4 の実施例による半導体基板の製造方法を説明するための工程図

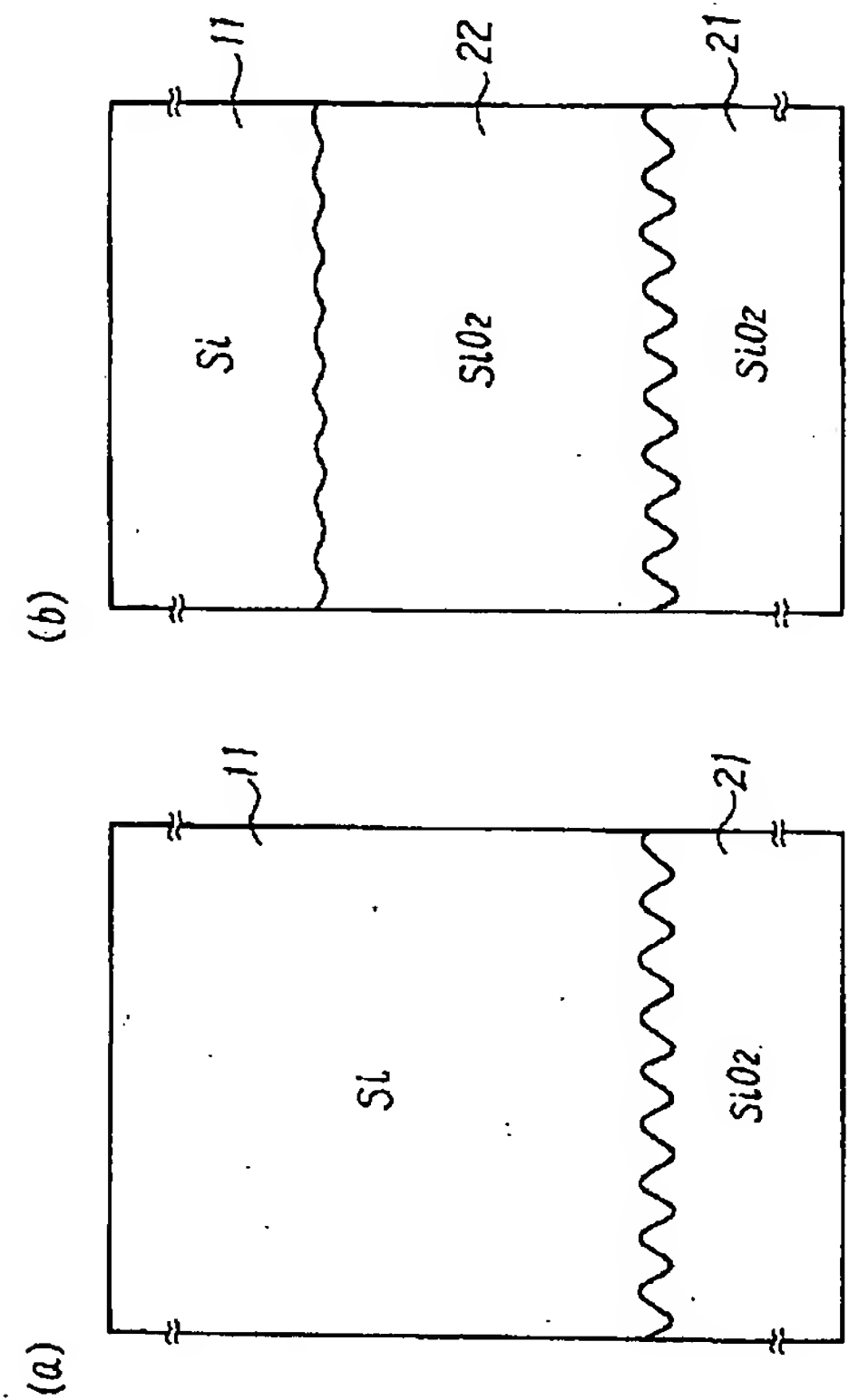


【図4】

ウエット酸化とドライ酸化の酸化速度を示すグラフ

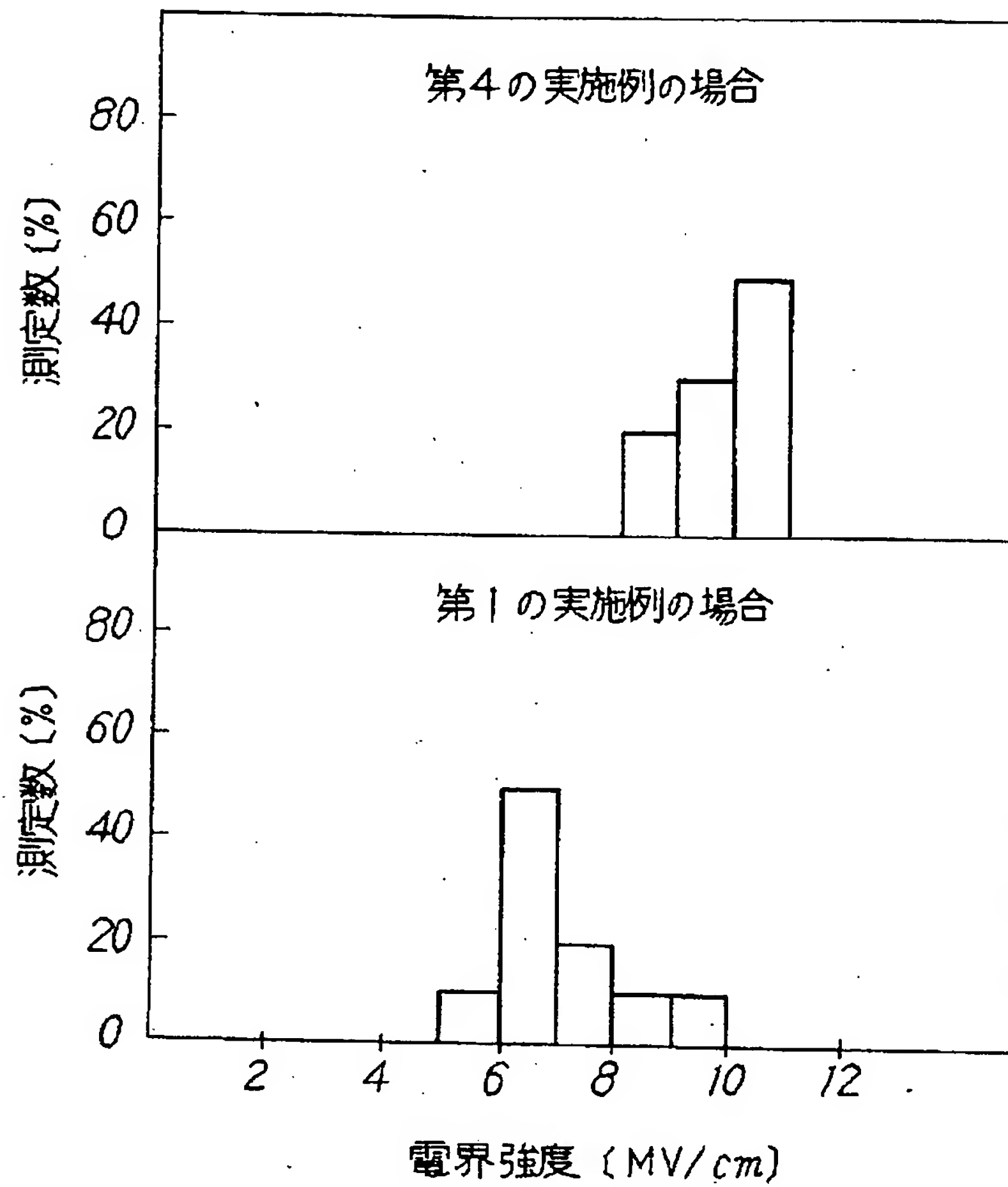


【図6】

図5の工程図における Si/SiO_2 界面の変化を表す模式図

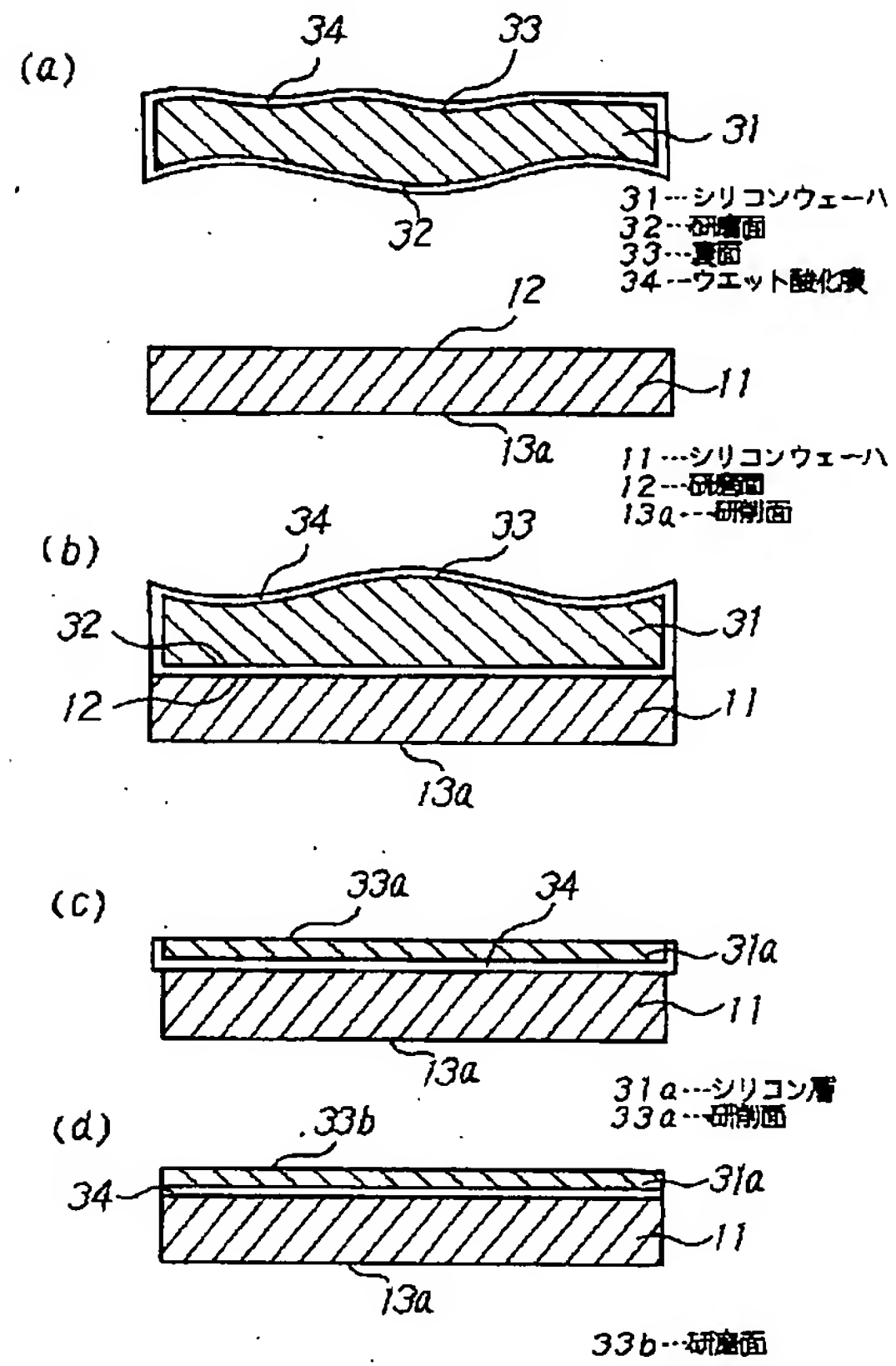
【図7】

本発明の第1及び第4の実施例によるシリコンウェーハの
研磨面上に形成した酸化膜の耐圧特性を示すグラフ



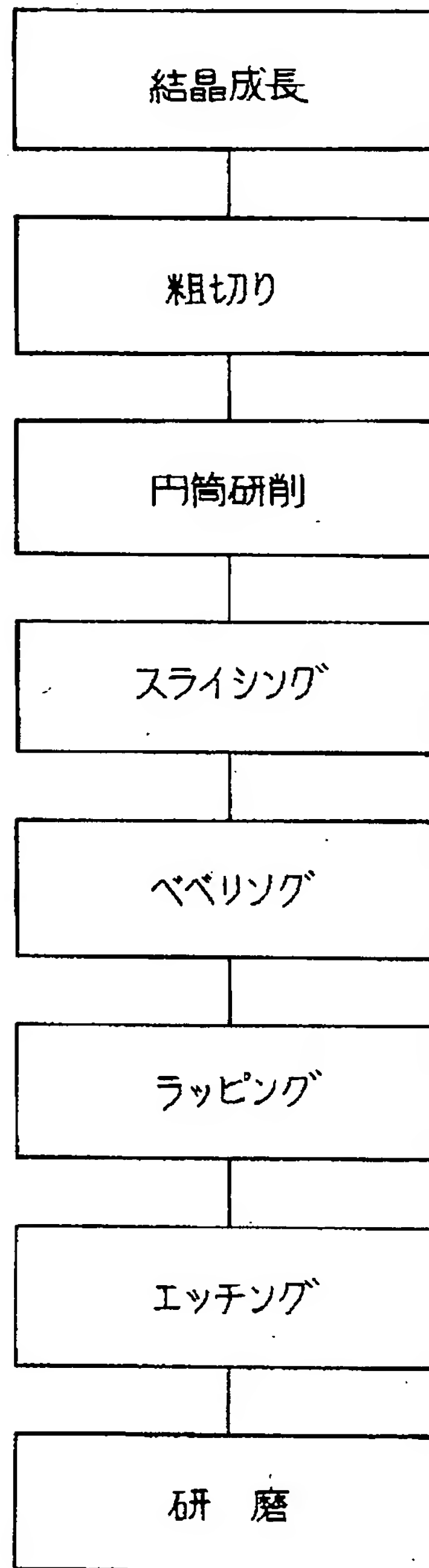
【図8】

本発明の第5の実施例による半導体基板の
製造方法を説明するための工程図



【図 9】

従来のシリコンウェーハを作製する工程を説明する図



フロントページの続き

(72)発明者 清川 義弘
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内